

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-260246

(43)Date of publication of application : 24.09.1999

(51)Int.Cl.

H01J 1/30  
H01J 9/02

(21)Application number : 10-065106

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.03.1998

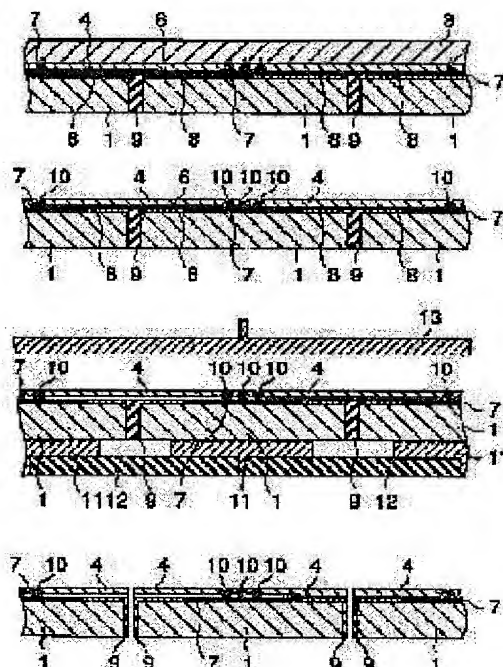
(72)Inventor : SAKAI TADASHI  
ONO TOMIO  
SAKUMA HISASHI  
NAKAYAMA KAZUYA

## (54) COLD CATHODE ARRAY SUBSTRATE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a cold cathode array substrate having a high breakdown voltage and a high current density such that plural cold cathode arrays are formed at the same time as the high density in a substrate having a large area, and that non-defectives can be easily selected.

**SOLUTION:** A cold cathode array layer, which is formed by using a semiconductor mold substrate 3, is bonded together with the semiconductor mold substrate 3 to a conductor substrate 1, avoiding the groove part of the conductor substrate 1 on which a groove is wrought. After the conductor substrate 1 has been separated by dicing the groove part, insulating material 12 is filled and the mold substrate 3 is removed. A contact, by which the current of an element is taken out per array from the lower face of the conductor substrate 1, is installed, hereby the arrays are checked individually, and therefore non-defectives can be selected easily and operated. Good arrays are divided individually, as necessary, and the insulating material 12 is filled in the aperture of the arrays, and afterwards gate electrodes of each array are connected in batch by using a thin-film technology, to thereby manufacture with a high yield, a cold cathode array substrate module for power, which has a high breakdown voltage and is operated by with a heavy current.



## LEGAL STATUS

[Date of request for examination] 29.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3445488

[Date of registration] 27.06.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 J 1/30  
9/02H 0 1 J 1/30  
9/02F  
B

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平10-65106

(22) 出願日 平成10年(1998) 3月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 酒井 忠司

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 小野 富男

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 佐久間 尚志

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

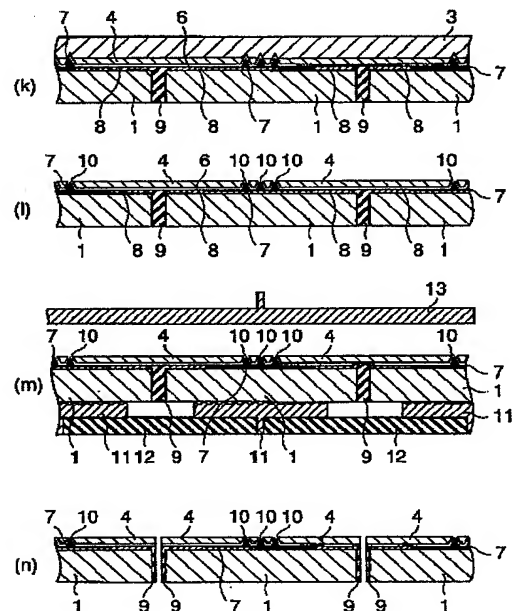
最終頁に続く

(54) 【発明の名称】 冷陰極アレイ基板及びその製造方法

(57) 【要約】

【課題】 大面積の基板内に複数の冷陰極アレイを高密度に同時形成し、容易に良品選別することができる耐圧と電流密度の高い冷陰極アレイ基板を提供する。

【解決手段】 溝加工した導体基板の溝部を避けて、半導体モールド基板を用いて形成した冷陰極アレイ層を、半導体モールド基板と共に前記導体基板に接着する。溝部をダイシングして導体基板を分離した後、絶縁材を充填し、モールド基板を除去する。アレイごとに導体基板の下面から素子の電流を取り出すコンタクトを設けることにより、アレイを個別に検査し、容易に良品を選別し、動作させることができる。必要に応じて良品アレイを個別に分割し、アレイ間を絶縁材で充填後、薄膜技術を用いて各アレイのゲート電極を一括接続することにより、高耐圧でかつ大電流で動作するパワー用冷陰極アレイ基板モジュールを、高い歩留まりで製造することができる。



9: 絶縁充填層

10: ゲート開口部

11: エミッタ個別電極

12: 絶縁板

13: アノード電極

## 【特許請求の範囲】

【請求項 1】 下面を横切る少なくとも 1 つの凹状の溝を備えた導体基板と、

前記凹状の溝の法線位置を避けるように前記導体基板の上面に配置された微小凸状冷陰極アレイと、絶縁膜を介して設けられた前記微小凸状冷陰極アレイからの電子の放出を制御するゲート電極と、を具備することを特徴とする冷陰極アレイ基板。

【請求項 2】 下面を横切る少なくとも 1 つの凹状の第 1 の溝と、

この第 1 の溝の法線位置に前記第 1 の溝に沿って上面に形成された凹状の第 2 の溝と、

を備えた導体基板と、

前記第 2 の溝を避けるように前記導体基板の上面に配置された微小凸状冷陰極アレイと、

絶縁膜を介して設けられた前記微小凸状冷陰極アレイからの電子の放出を制御するゲート電極と、

を具備することを特徴とする冷陰極アレイ基板。

【請求項 3】 上部周辺領域と側面とが絶縁層で覆われた導体基板と、

この導体基板上面の露出部分に接着された一体の導電層からなる微小凸状冷陰極アレイと、

この微小凸状冷陰極アレイの凸の先端部における微小開口部を除き、前記上部周辺領域の絶縁層を含む前記導体基板の上面の全てを覆う絶縁膜と、

前記微小凸状冷陰極アレイの凸の先端部における微小開口部を除き、前記第 2 の絶縁膜の全てを覆うゲート電極と、

を具備することを特徴とする冷陰極アレイ基板。

【請求項 4】 前記導体基板は、この導体基板間に充填された充填層により導体台基板上に配列固定され、かつ、前記ゲート電極は、薄膜導体層により相互に接続されたことを特徴とする請求項 3 記載の冷陰極アレイ基板。

【請求項 5】 導体基板の下面を横切るように、少なくとも 1 つの凹状の第 1 の溝を形成し、

この第 1 の溝の法線位置に、前記第 1 の溝に沿って前記導体基板の上面に凹状の第 2 の溝を形成し、

p 型シリコンからなるモールド基板の上面に n<sup>+</sup> 型のシリコンゲート層を形成し、

前記第 2 の溝に対応する領域を避けるように、逆ピラミッド型の微小エミッタモールドを前記シリコンゲート層にパターン形成し、

前記微小エミッタモールドが形成されたシリコンゲート層の表面を熱酸化することにより、前記微小エミッタモールドの先端部を尖鋭化し、

前記シリコンゲート層表面と前記微小エミッタモールドの内面とを被覆する熱酸化膜上にエミッタ導体層を堆積することにより、前記微小エミッタモールドを前記エミッタ導体層で埋め込み、

前記微小エミッタモールドの形成領域の外部に堆積した不要なエミッタ導体層を除去し、

前記工程を経たモールド基板の上面を下にして、前記微小エミッタモールドの形成領域が前記第 2 の溝を避けるように互いに位置合わせした後、前記エミッタ導体層と前記導体基板とを接合導体層により接合し、

互いに垂直位置にある前記第 1、第 2 の溝の間に残された導体基板の厚さ部分を除去することにより、導体基板の下面から前記エミッタ導体層に達する第 3 の溝を形成し、

この第 3 の溝を通じて前記接合導体層をエッチング除去することにより、前記シリコンゲート層に形成された熱酸化膜を露出し、

さらにオーバーエッチングすることにより、前記導体基板の上部周辺領域の接合導体層を除去し、

前記第 3 の溝により分離された導体基板が再度一体化するように、前記接合導体層の除去部分を含めて前記第 3 の溝に絶縁充填剤を隙間なく埋め込むことにより絶縁充填層を形成し、

前記モールド基板に形成された n<sup>+</sup> シリコンゲート層を残して p 型のシリコンモールド基板のみを除去する工程を含むことを特徴とする冷陰極アレイ基板の製造方法。

【請求項 6】 前記工程を経た冷陰極アレイ基板を前記シリコンゲート層と共に第 3 の溝に沿って切断することにより、第 3 の溝の側面に一定厚さの前記絶縁充填層を残して前記冷陰極アレイ基板を分離することを特徴とする請求項 5 記載の冷陰極アレイ基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は冷陰極アレイ基板とその製造方法に係り、特に大電流・高電圧のパワースイッチングデバイスを構成するのに適した複数の電界放出型の冷陰極アレイを備えた冷陰極アレイ基板とその製造方法に関するものである。

## 【0002】

【従来の技術】従来、冷陰極アレイ基板を備えた素子については、その高速応答の可能性や耐放射線、耐熱性、大電流化・高耐圧化の可能性等、通常の半導体パワーデバイスにはみられない優れた特徴に着目して多くの研究がなされた。本発明者もまた前記素子をパワースイッチング用デバイスに応用することを目的にした提案（特願平 9-236046 等）を行い、大電流・高耐圧のスウィッチングデバイスとしての可能性を提唱している。

【0003】これらの素子の研究開発は、1961年に K.R.Shoulders らにより行われたトンネル効果真空トリオードの提案（Microelectronics using electron-beam-activated machining techniques, Advances in Computers Vol 2, pp.135-293）に始まる。また、この分野が一般の注目を集めるに至ったのは、同じく S R I (Stanf

ord Research Institute) のC.A.Spindtによる薄膜を用いた冷陰極アレイの報告(J.Appl.Phys.39, p.3504, 1968)からである。

【0004】従来の冷陰極アレイ基板を備えた素子の構造を図6に示す。1は導体基板、22は導体基板1の上に形成された複数のエミッタ導体である。18はゲート電極で、ゲート絶縁膜17を介して導体基板1の上に形成される。ゲート電極18はエミッタ導体22から電子放出を行うためのゲート開口部19を備え、ゲート配線21を用いて絶縁基板24の上のゲート配線層20と接続される。なお、導体基板1は絶縁基板24のエミッタ配線層23の上に導電性の接着方法を用いて接着される。

【0005】導体基板1の上に形成された複数のエミッタ導体22に対向して、アノード電極13が配置される。このような冷陰極アレイ基板を備えた素子は真空チャンバーに収められ、エミッタ配線層23とアノード電極13との間に高電圧を印加することによりエミッタ導体22から電子を引き出し、素子に主電流が流れる。また、ゲート配線層20を通じてゲート電極18に制御信号を加えることにより、素子の主電流をスイッチング制御することができる。

【0006】次に図7を用いて、前記冷陰極アレイ基板のエミッタ導体22とゲート電極18の従来の製造方法について説明する。図7(a)～(c)は、回転斜め蒸着とA1犠牲層エッチングを用いた、現在もっとも広く用いられるスピント法と呼ばれるエミッタ導体22の製造方法である。

【0007】図7(a)に示すようにSi基板1aの上にゲート絶縁膜17を形成し、さらにゲート電極18を形成する。ゲート電極18をマスクとしてゲート絶縁膜17をエッチングし、Si基板上のエミッタ導体22を形成する部分を開口する。

【0008】次に図7(b)に示すように、緩い傾斜角 $\phi$ で回転斜め蒸着することによりA1犠牲層25を蒸着する。傾斜角 $\phi$ を小さくしているため、A1犠牲層25はSi基板1aの上には堆積せず、図7(b)に示すようにゲート電極18の上のみ堆積する。

【0009】次に図7(c)の矢印で示す陰極チップ蒸着工程で、エミッタ導体の材料となるMoを、A1犠牲層25が形成された開口部に対して垂直方向に蒸着すれば、Mo層26の堆積厚さが増加するに従いA1犠牲層25の開口が狭められるので、Si基板1aの上には、Moからなる鋭いピラミッド状のエミッタ導体22が形成される。

【0010】その他のエミッタ1bの製造方法として、図7(d)～(f)を用いてGrayらが用いた方法を説明する。図7(d)に示すように、Si基板1aの上にSiO<sub>2</sub>マスク27をパターン形成し、次に図7(e)のように異方性エッチング液を用いてSi基板を結晶面に

沿ってエッチングする。SiO<sub>2</sub>マスク2bの下部のSi基板1aの先端部が鋭いピラミッド状になれば、先端部のエッチングマスク2bが自然に除去され、エミッタ1bがSi基板1a上に形成される。

【0011】次にゲート絶縁膜17とゲート電極18を堆積し、エミッタ1b部分のゲート電極を開口し、さらにこれをマスクとしてゲート絶縁膜17を選択的に開口すれば、図7(f)に示すSi基板1a上のエミッタ1bとゲート電極18が形成される。

10 【0012】しかし、図7に示すようにSi基板1aを冷陰極アレイ基板として用いれば、エミッタを流れる素子の主電流に対してSi基板の直列抵抗が付加される。このため素子の動作速度が低下すると同時に動作中に微小冷陰極の温度が上昇し、エミッタ22や1bの先端部が劣化し易くなり、素子の寿命が短くなるという欠点があった。

20 【0013】また、これら従来の方法は、きわめて微細な製造工程が含まれているため、大電流を制御するのに必要な多数のエミッタを、高い歩留まりで冷陰極アレイ基板上に形成するのがいちじるしく困難であり、また、多数のエミッタをアレイ状に配列する組み立て方法も確立していないのが現状であった。

【0014】また、従来の方法を用いて冷陰極アレイ基板上にパワーデバイス用の多数の微小冷陰極を形成しようとするれば、基板上のいずれか1つのエミッタとゲート電極とが短絡しても冷陰極アレイ基板全体が使用不能となり、基板上のエミッタ数が増加する程、基板の製造歩留まりが低くなるという問題があった。

30 【0015】また、エミッタ以外の基板周辺の凸のエッジ部分から不要な電子放出を生じ易く、ゲート電極で制御できない漏れ電流を生じると同時に、素子の絶縁耐圧を低下させるという問題があった。また、先に述べたように、素子の電流密度を上げようとするれば基板内での発熱を生じ、十分な電流密度を得ることができないという問題があった。

【0016】

【発明が解決しようとする課題】上記したように、従来の冷陰極アレイ基板のようにエミッタがSi基板上に形成される場合には、Si基板の直列抵抗による電流密度の低下や、温度上昇による寿命の低下を生じるという問題があった。また大電流用として多数のエミッタをアレイ状に配列し、冷陰極アレイ基板を組み立てる具体的な方法も確立していないという問題があった。

【0017】本発明は、上記の問題点を解決すべくなされたもので、冷陰極アレイ基板の製造歩留まりを改善すると同時に電流密度と動作寿命を向上させ、さらに冷陰極アレイ基板とこれに対向して配置されるアノード電極との間の耐圧を確保する手段を提供することを目的とする。

50 【0018】

【課題を解決するための手段】本発明の冷陰極アレイ基板は、モールド基板上に形成した複数のアレイ状のエミッタ導体層と、あらかじめ溝加工を施した導体基板とを、モールド基板を上にして互いに接着し、上部のモールド基板を除去する前に下部の導体基板を切断し、アレイごとに導体基板を分離することを特徴とする。

【0019】さらに各アレイごとに形成された導体基板の分離溝に絶縁性材料を充填し、基板強度を確保した上で上部のモールド基板を除去し、複数のアレイに亘って連続したゲート電極が形成されるようにする。

【0020】この状態でそのまま用いても良いし、簡易な検査方法で各アレイの良否を判定したのち、ダイシングして各アレイ基板に分割しても良い。また、この検査方法によつて選別された良品アレイ基板のみを選別・配列し、相互の基板間の隙間を絶縁材料で充填した後、各アレイ基板のゲート電極を薄膜導体層で接続して冷陰極モジュールとしても良い。

【0021】具体的には本発明の冷陰極アレイ基板は、下面を横切る少なくとも1つの凹状の溝を備えた導体基板と、前記凹状の溝の法線位置を避けるように、導体基板の上面に配置された微小凸状冷陰極アレイと、絶縁膜を介して設けられた前記微小凸状冷陰極アレイからの電子の放出を制御するゲート電極とを具備することを特徴とする。

【0022】また本発明の冷陰極アレイ基板は、下面を横切る少なくとも1つの凹状の第1の溝と、この第1の溝の法線位置に第1の溝に沿って上面に形成された凹状の第2の溝とを備えた導体基板と、前記第2の溝を避けるように、前記導体基板の上面に配置された微小凸状冷陰極アレイと、絶縁膜を介して設けられた前記微小凸状冷陰極アレイからの電子の放出を制御するゲート電極とを具備することを特徴とする。

【0023】また本発明の冷陰極アレイ基板は、上部周辺領域と側面とが絶縁層で覆われた導体基板と、この導体基板上面の露出部分に接着された一体の導電層からなる微小凸状冷陰極アレイと、この微小凸状冷陰極アレイの凸の先端部における微小開口部を除いて、上部周辺領域の絶縁層を含む導体基板の上面の全てを覆う絶縁膜と、微小凸状冷陰極アレイの凸の先端部における微小開口部を除いて、第2の絶縁膜の全てを覆うゲート電極とを具備することを特徴とする。

【0024】好ましくは前記導体基板は、この導体基板の間に充填された充填層により導体台基板上に配列固定され、かつ、前記ゲート電極は、薄膜導体層により相互に接続されたことを特徴とする。

【0025】本発明の冷陰極アレイ基板の製造方法は、導体基板の下面を横切るように、少なくとも1つの凹状の第1の溝を形成し、この第1の溝の法線位置に、第1の溝に沿って導体基板の上面に凹状の第2の溝を形成し、p型シリコンからなるモールド基板の上面に、n+

型のシリコンゲート層を形成し、第2の溝に対応する領域を避けるように、逆ピラミッド型の微小エミッタモールドを前記シリコンゲート層にパターン形成し、微小エミッタモールドが形成されたシリコンゲート層の表面を熱酸化することにより、微小エミッタモールドの先端部を尖鋭化し、前記シリコンゲート層表面と微小エミッタモールドの内面とを被覆する熱酸化膜上にエミッタ導体層を堆積することにより、微小エミッタモールドをエミッタ導体層で埋め込み、前記微小エミッタモールドの形成領域の外部に堆積した不要なエミッタ導体層を除去し、前記工程を経たモールド基板の上面を下にして、微小エミッタモールドの形成領域が第2の溝を避けるように互いに位置合わせした後、エミッタ導体層と導体基板とを接合導体層により接合し、互いに垂直位置にある前記第1、第2の溝の間に残された導体基板の厚さ部分を除去することにより、導体基板の下面から前記エミッタ導体層に達する第3の溝を形成し、この第3の溝を通じて前記接合導体層をエッチング除去することにより、前記シリコンゲート層に形成された熱酸化膜を露出し、さらにオーバーエッチングすることにより、導体基板の上部周辺領域の接合導体層を除去し、第3の溝により分離した導体基板が再度一体化するように、接合導体層の除去部分を含めて第3の溝に絶縁充填剤を隙間なく埋め込むことにより充填層を形成し、モールド基板に形成されたn+シリコンゲート層を残してp型のシリコンモールド基板のみを除去する工程を含むことを特徴とする。

【0026】好ましくは前記工程を経た冷陰極アレイ基板をシリコンゲート層と共に第3の溝に沿って切断することにより、第3の溝の側面に一定厚さの充填層を残して冷陰極アレイ基板を分離することを特徴とする。

【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1乃至図3は、本発明の第1の実施の形態の冷陰極アレイ基板の構造とその製造方法を示す断面図である。

【0028】図1(a)に示す導体基板1はCu、Al又はステンレス等の金属からなり、アレイごとに分離するためのダイシングラインに沿って、その下面に第1の凹状の溝2と、その上面の第2の凹状の溝2aとを設け、これら第1、第2の溝が互いに対向する法線位置にあるように導体基板1に溝加工を行う。

【0029】これらの溝加工は、機械加工の後バリを除去するようにエッチングや研磨等の追加の加工を加えても良いし、全ての溝加工をドライエッチング又はウェットエッチングを用いて行っても良い。

【0030】本第1の実施の形態では、導体基板1の厚さは500 $\mu$ m、第1、第2の溝の幅は200 $\mu$ m、第1の溝2の深さは導体基板1の下面から50 $\mu$ m、第2の溝2aの深さは導体基板1の上面から100 $\mu$ mとした。

【0031】図1(b)にSiモールド基板3の構造を示す。このSiモールド基板はp型Siからなり、その上面にP(燐)を高濃度にイオン注入することにより、n<sup>+</sup>型のSiゲート層4を備えている。ここでn<sup>+</sup>は高濃度にn型不純物が添加されていることを示し、このようにSiゲート層4を高不純物濃度とすることにより高い導電率を付与し、これをゲート電極として用いることができる。

【0032】次に図1(c)に示すように、Siゲート層4に逆ピラミッド型の微小エミッタモールド5を形成する。ここでモールドとは、この部分に金属膜を埋め込むことにより金属膜に一定の形状を与えるための凹状の型のことをいう。

【0033】具体的には(100)結晶面に平行なSiゲート層4に逆ピラミッド型の複数のアレイ状に配列した微小エミッタモールド5を形成するために、SiO<sub>2</sub>等からなるエッチングマスクを形成し(図示せず)、エミッタの形成領域にSiO<sub>2</sub>マスクの正方形の開口部をアレイ状に形成する。このとき開口部の各辺は<110>と等価な結晶軸方向にそれぞれ平行となるようにする。

【0034】これをエッチングマスクとして、結晶面選択性の強いエッチング液を用いてSiゲート層4を異方性エッチングすれば、Siゲート層4に前記正方形の開口部をベースとする逆ピラミッド状の微小エミッタモールドを、アレイ状に形成することができる。このとき、逆ピラミッドの3角形の斜面は、それぞれ(111)面に等価な結晶面からなり、従ってこのようにして形成された微小エミッタモールドの逆ピラミッド型の形状は、極めて高い再現性で高精度に形成される。

【0035】次に図1(d)に示すように、Siゲート層4の表面を熱酸化し、微小エミッタモールド5の逆ピラミッド型の面を含めてSiゲート層4の表面にSiO<sub>2</sub>からなる熱酸化膜6を形成する。この熱酸化膜6は、後に微小エミッタモールドを埋め込むことにより形成されるエミッタ導体層7(図2参照)と、Siゲート層4とを絶縁すると同時に、図1(e)に示すように、微小エミッタモールドの先端部を尖鋭化するのに役立つ。その理由は次のとおりである。

【0036】図1(e)の左側に示されるように、逆ピラミッド型の微小エミッタモールドの内面は(111)と等価な結晶面で囲まれるため、先端部のなす角は一定値に規定される。しかし、これを電界放出型のエミッタとして用いる場合には、先端部をさらに尖鋭化して電界集中を強化することが望ましい。

【0037】図1(e)の右側に示すように、Siゲート層の表面を熱酸化すれば、SiO<sub>2</sub>からなる熱酸化膜6は、Siゲート層の内部に向かって酸化が進行し、先端部がp型のSiモールド基板3に侵入するようになる。ここでSiモールド基板3に侵入したSiO<sub>2</sub>は、

後に示す工程で(図3(1)参照)前記Siモールド基板3と共にエッチング除去され、Siゲート層4のエミッタ先端部に対応する位置に電子放出の開口部を自己整合的に形成するのに用いられる。

【0038】また、表面酸化により生成したSiO<sub>2</sub>は、酸化前のSi結晶に比べて体積が増加するため逆ピラミッド型の内面で、熱酸化膜6の表面形状が内側に向かって狭められ、先端部がいちじるしく尖鋭化される。

【0039】次に図2(f)に示すように、尖鋭化された微小エミッタモールド5を埋め込むように、スパッタ法を用いてMoからなるエミッタ導体層7を堆積する。以上にのべた転写モールド法を用いて微小エミッタモールド5にMoを充填し、エミッタ導体層7を形成した。なお、図2において図1と対応する部分には同一の参照番号を付している。(以下図3乃至図7において同じ)。

【0040】本第1の実施の形態では、Moを用いてエミッタ導体層7を形成したが、必ずしもMoに限定されるものではなく、W等の高融点金属やTiN、LaB<sub>6</sub>、BN、AlN、GaN、ダイヤモンド、ダイヤモンドライクカーボンなどの各種材料を用いることができる。

【0041】次にエミッタ導体層7の表面に、接合層としてTi、Cuなどの薄膜を形成し(図示せず)、パターンニングを行って一続きのエミッタ導体層7を、図2(g)に示すように、エミッタがアレイ状に配列したエミッタ導体層7ごとに分離する。この分離工程は、後に示す接合導体層8(図2(j)参照)をオーバーエッチングにより完全に除去するために行うが、エミッタ導体層としてMoよりもエッチングの容易な材料を用いる場合にはこの分離工程を省略することができる。

【0042】次に図2(h)に示すように、接合導体層としてPb-Sn、Au-Sn等からなる接合導体層8を設け、図2(i)に示すように、図1(a)に示した導体基板1の上に接合導体層8を下にして、微小エミッタ形成領域と導体基板の第1、第2の溝2、2aとが重ならないように位置合わせし両者を接着する。このようにして導体基板1の上の微小エミッタ形成領域に、先端部を上にしてアレイごとに配列したエミッタ導体層が形成される。

【0043】次に図2(j)に示すように、互いに垂直位置にある前記第1、第2の溝2、2aの間に残された導体基板1の厚さ部分を除去することにより、導体基板の下面から前記エミッタ導体層に達する第3の溝2bを形成する。前記除去工程は、導体基板1の上に接着されたSiモールド基板3の形成表面を傷つけないように、導体基板1の前記厚さ部分のみを切断するダイシング工程により行われる。ここでダイシングとは大きい基板を複数の方形基板に切断分離する工程をいう。

【0044】あらかじめ導体基板1には、第1、第2の



溝、2、2aの溝加工が施されているため、このように導体基板1のみをバリ等を生じることなく切断することが可能となる。

【0045】次に図2(j)に示すように、前記第3の溝2bを通じて接合導体層8をエッチング除去することにより、Siゲート層4に形成された熱酸化膜6を露出し、さらにオーバーエッチングすることにより、分離された導体基板1の上部周辺領域の接合導体層8を除去する。

【0046】次に図3(k)に示すように、前記第3の溝2bにより分離した導体基板1が再度一体化するように、前記接合導体層8の除去部分を含めて前記第3の溝2bに絶縁充填剤を隙間なく埋め込むことにより、絶縁充填層9を形成する。

【0047】本第1の実施の形態では、第3の溝2bへの絶縁充填材の埋め込みを次のようにして行った。すなわち、プラズマCVDを用いてあらかじめ第3の溝2bの内面を低温のSiN膜で被覆し、引き続き絶縁充填層9として樹脂等を充填・硬化した。この低温SiN膜は、冷陰極層への湿気の侵入等を防止するバッシベーション膜として役立つ。

【0048】絶縁充填剤としては耐熱性ポリイミド、エポキシ、セラミックペースト、低融点ガラスなどが用いられる。これらの材料を充填する際には、スキージで行っても良いし、基板の上下両面に剥離可能なテープを貼り、減圧下で樹脂等を基板の横から吸い込ませる方法を用いても良い。ここでスキージとは、隙間に充填剤を圧入する際に用いるジグのことをいう。

【0049】導体基板1の壁面の絶縁にはプラズマ溶射、セラメッキ等の方法を用いても良いし、導体基板1としてAlを用い、表面を酸の中で陽極酸化し、絶縁被膜を形成しても良い。また、導体基板1の下面にこれらの絶縁被膜が形成された場合には軽く機械研磨を行い、後の工程(図3(m)参照)のために、導体基板1の下面を露出しておく必要がある。

【0050】次に図3(l)に示すように、Siモールド基板3に形成されたn<sup>+</sup>型のSiゲート層4を残してp型のSiモールド基板3のみを電気化学的エッチングにより除去する。電気化学的エッチングを用いればn<sup>+</sup>型とp型の差を利用して、p型のSi部分のみを選択的にエッチングすることができる。さらにSiO<sub>2</sub>からなる熱酸化膜6をエッチング除去して、先にのべたように自己整合的にエミッタから電子を引き出すためのゲート開口部10を形成し、ウェハーレベルでの冷陰極アレイ基板を完成する。

【0051】このように形成された冷陰極アレイ基板は、上面のSiゲート層4からみれば、ゲート開口部10以外は、基板全面を覆うようにSiゲート層4が連続して形成されており、かつ、第3の溝2bの絶縁充填層9により、アレイごとに分離されている。

【0052】従って、図3(m)に示すように、絶縁板12により固定され、互いに絶縁されたエミッタ個別電極11を用いて導体基板1の下面からアレイごとにコンタクトを取り、真空チャンバー内でアノード電極13と対向させれば、これまでのアレイ基板では避けられなかった、アレイごとにゲートコンタクトを取る必要がなくなり、極めて容易にアレイごとの検査が可能になる。

【0053】すなわち、従来の冷陰極アレイ基板では、導体基板1を一体のものとしてその上に複数の冷陰極アレイが形成されていたため、例えばゲートとエミッタとの短絡等の工程不良をアレイごとに検査しようとするれば、各冷陰極アレイのゲートごとに電極を引き出して、短絡の有無を検査する以外に方法がなかった。

【0054】しかし、このようにゲート配線の引き出しが複雑になれば、冷陰極アレイ基板の上面に不規則な凸部が形成され、アノード電極13との間で放電を生じ、素子を破壊するばかりでなく、ゲート電極では制御できないエミッタ以外からの電子放出を生じ、素子の動作上極めて不都合である。

【0055】本第1の実施の形態の冷陰極アレイでは、図3(m)に示す構成を用いて、アレイごとの良否判定を行つた後、前記Siゲート層4と共に第3の溝2bの絶縁充填層9に沿って切断することにより、第3の溝2bの側面に一定厚さの絶縁充填層9を残して導体基板1を図3(n)に示すように分離し、アレイごとにダイシングされた冷陰極アレイ基板を完成することができる。

【0056】このようにして製造されたアレイ基板は、アレイごとに良品選別が行われており、またその上面は、ゲート開口部10以外全てSiゲート層4で覆われているため完全に平坦化され、かつ、導体基板1の冷陰極層の端面もダイシング後残された絶縁充填層9で覆われている。このため、所定のエミッタ導体層7の先端部以外からの不要な放電やリークを生じる恐れがない。

【0057】また本第1の実施の形態の冷陰極アレイでは、個別のアレイ基板ごとにエミッタ個別電極11でコンタクトを取ることで、不良となったアレイを回路的に切り離し、その他のアレイを用いて動作を継続させることも可能である。

【0058】これは従来冷陰極アレイにおいてしばしば生じていたゲート・エミッタ間の短絡故障を回避する上で有効である。すなわち、従来はアレイ基板内で1ヶ所でも前記短絡故障が生じれば、全ての冷陰極アレイが使用不能となるのに対して、本発明では、短絡部を含むアレイ基板だけを切り離して使用することができる。

【0059】図4(a)に図3(l)までの工程を終了した段階での、本第1の実施の形態における冷陰極アレイ基板の下面図を、図4(b)にその上面図を示す。下面図には絶縁充填層9により一体化され分離された複数の導体基板1が、また、上面図にはアレイ形成領域のゲート開口部10以外全てSiゲート層4で平坦に覆われ



た状況が示されている。

【0060】次に図5に基づき、本発明の第2の実施の形態に係る冷陰極アレ基板の構成と製造方法について説明する。図3(m)で良品選別され、かつ、図3

(n)でダイシングされた個別の冷陰極アレ基板のSiゲート層4を、図5(a)に示すように粘着性のテープ層14を用いて一定の間隔で仮接着し、この間隙に絶縁充填層9aを充填して一体化する。

【0061】絶縁充填層の材料としては、図3(k)で第3の溝2aの充填剤として用いた耐熱エポキシ、耐熱ポリイミド、低融点ガラス、セラミックペースト等、ガス放出のできるだけ少ない材料が選ばれる。その後図5(b)に示すように、一体化した冷陰極アレ基板を導体台基板15にボンディングし、テープ層14を剥離した後、図5(c)に示すように薄膜導体層16を薄膜技術を用いてマスク蒸着し、個別のアレイ基板間に亘ってSiゲート層4を一括接続する。

【0062】次に図5(d)に示すように、導体台基板15の上に形成された複数のアレ基板からなる冷陰極モジュールに対向して、アノード電極13を配置して動作させれば、冷陰極アレ基板上のゲート配線の引き回しによる不規則な凸部を生じないので、第1の実施の形態と同様、所定のエミッタ導体層7の先端部以外からの不要な放電やリーク電流を生じる恐れがない。

【0063】複数の冷陰極アレ基板を冷陰極モジュールとして組み立てる他の方法として、各アレ基板を導体台基板15にはんだ等を用いて接着した後、全基板の表面を剥離可能な粘着性のシートで覆い、減圧下で側面から絶縁充填材料を吸引・硬化させる方法がある。硬化後シートを剥離し、Siゲート層4に薄膜導体層16を薄膜技術を用いてマスク蒸着することによりゲート間の接続を一括して形成することができる。このとき、導体台基板15には、各導体基板1の大きさに合わせた浅い畝加工を施しておくとい。

【0064】なお本発明は上記の実施の形態に限定されることはない。例えば第1の実施の形態の図3(m)の段階において、全てのアレ基板に不良がない場合には、エミッタ個別電極11をコンタクトした状態で、そのまま大電流のパワースイッチング素子として用いることもできるし、図5(b)に示すように放熱性に優れた導体台基板15に接着して放熱性を向上させ、さらに電流密度を高めることもできる。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### 【0065】

【発明の効果】上述したように本発明の冷陰極アレ基板とその製造方法によれば、例えば6インチ径の導電性基板上に複数の冷陰極アレを同時に形成した後、これを個別のアレイに分割する前に、各アレの良否検査を容易に行うことにより総合歩留まりを大幅に向上することができる。

【0066】また1枚の基板上に多数の冷陰極アレを形成し、短絡などの不良の生じていないアレだけを選択的に使用することができる。なお、使用時においても各アレの基板下面にエミッタ個別電極を配置することにより、使用過程で生じたアレの短絡にも対処することができる。

【0067】従来行われたように、基板上面においてアレごとにゲート配線を引き回す方法を用いても、同様のことが実施可能ではあるが、この場合にはアレの集積密度を下げる必要があるのに対して、本発明では余分なゲート配線を設けることなく、基板の下面から素子の主電流を取り出すことにより素子を動作させることができるので、実質的にアレの集積密度が向上し、動作電流密度を大きくすることができる。

【0068】また、このような複数の冷陰極アレからなる大型基板は、表面から見た場合、ゲート開口部を除く全面がSiゲート層で覆われているため、エッジでの不要なリーク電流を生じ難く、またガス放出なども生じ難い。

【0069】さらに、大型基板からの良品だけの選別が可能となる点を利用してマルチチップモジュールを構成し、大電流密度の素子を実現することが容易になる。また、個別のアレイごとに分割して使用する場合には、あらかじめ溝加工しておくことにより基板断面のバリやメクレなどの発生を回避し、リーク電流の発生や絶縁低下を防止することができる。

【0070】また、溝に絶縁充填剤を充填してからダイシングする場合には、ダイシングされた導体基板端面の冷陰極部が絶縁充填剤で被覆されているため、端面からのリーク電流を防止することができる。

【0071】さらに、この導体基板端面の冷陰極部が絶縁被覆されていることから、個別のアレイ基板を集合して隙間を絶縁充填層で結合し、薄膜技術を用いて各Siゲート層を薄膜導体層で接続することにより、ゲートとエミッタとを短絡させることなく個別のアレイ基板間のSiゲート層を一括接続することができる。これより、不規則な凸部が極めて少ないゲート電極の引出しが可能になり、耐圧の向上を図ることが可能になる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る冷陰極アレ基板の構造と製造方法を示す断面図。

【図2】本発明の第1の実施の形態に係る冷陰極アレ基板の構造と製造方法の続きを示す断面図。

【図3】本発明の第1の実施の形態に係る冷陰極アレ基板の構造と製造方法の続きを示す断面図。

【図4】本発明の第1の実施の形態に係る冷陰極アレ基板の上面と下面の構造を示す平面図。

【図5】本発明の第2の実施の形態に係る冷陰極アレ基板の構造と製造方法を示す断面図。

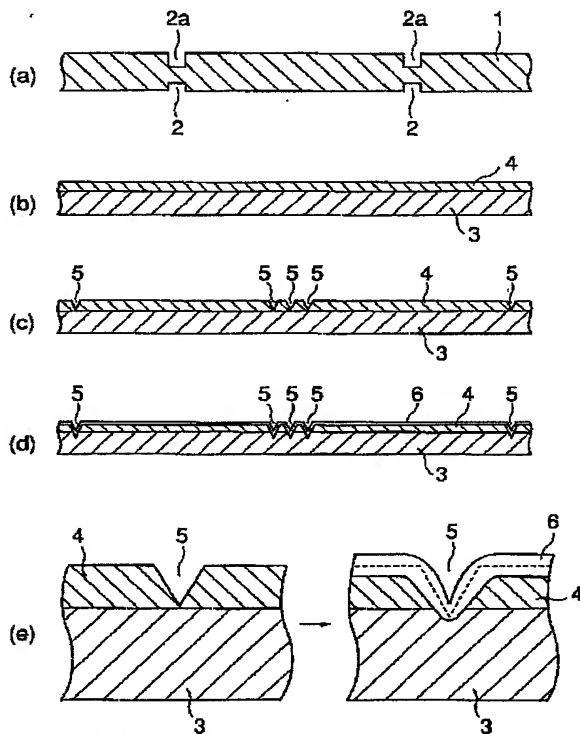
【図6】従来の冷陰極アレの構造を示す断面図。

【図7】従来の冷陰極エミッタの製造方法を示す断面図であって、(a)～(c)はスピント法を示す工程断面図。(d)～(f)はグレイらの方法を示す工程断面図。

【符号の説明】

- 1…導体基板  
1a…Si基板  
1b…エミッタ  
2…第1の溝  
2a…第2の溝  
2b…第3の溝  
3…Siモールド基板  
4…Siゲート層  
5…微小エミッタモールド  
6…熱酸化膜  
7…エミッタ導体層  
8…接合導体層  
9、9a…絶縁充填層

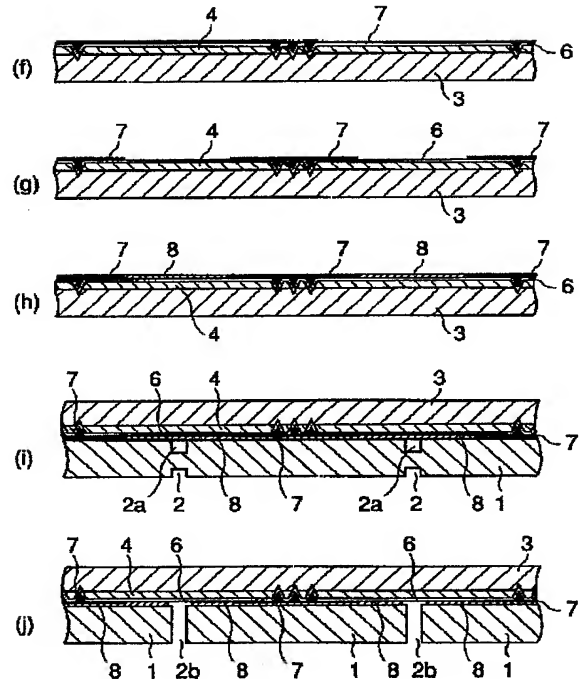
【図1】



- 1: 導体基板  
2: 第1の溝  
2a: 第2の溝  
3: Siモールド基板  
4: Siゲート層  
5: 微小エミッタモールド  
6: 熱酸化膜

- 10…ゲート開口部  
11…エミッタ個別電極  
12…絶縁板  
13…アノード電極  
14…テープ層  
15…導体台基板  
16…薄膜導体層  
17…ゲート絶縁膜  
18…ゲート電極  
19…ゲート開口部  
20…ゲート配線層  
21…ゲート配線  
22…エミッタ導体  
23…エミッタ配線層  
24…絶縁基板  
25…Al犠牲層  
26…Mo層  
27…SiO<sub>2</sub>マスク

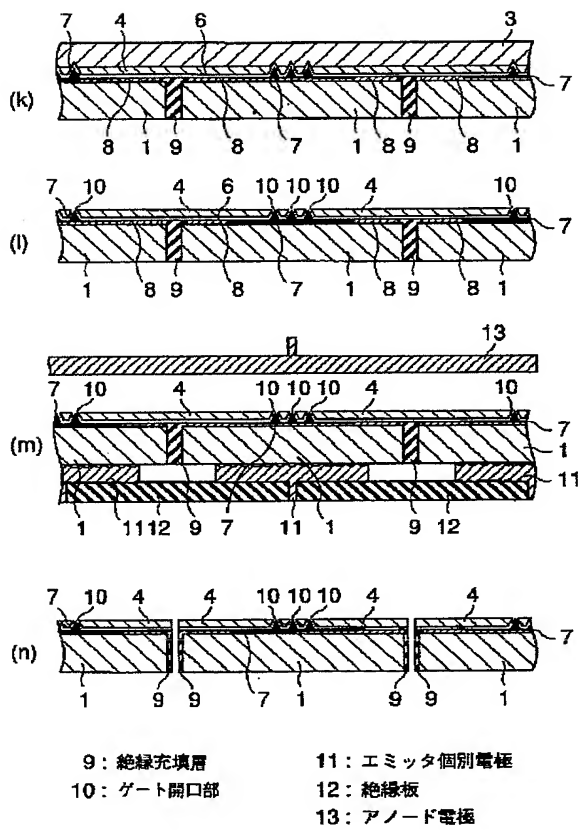
【図2】



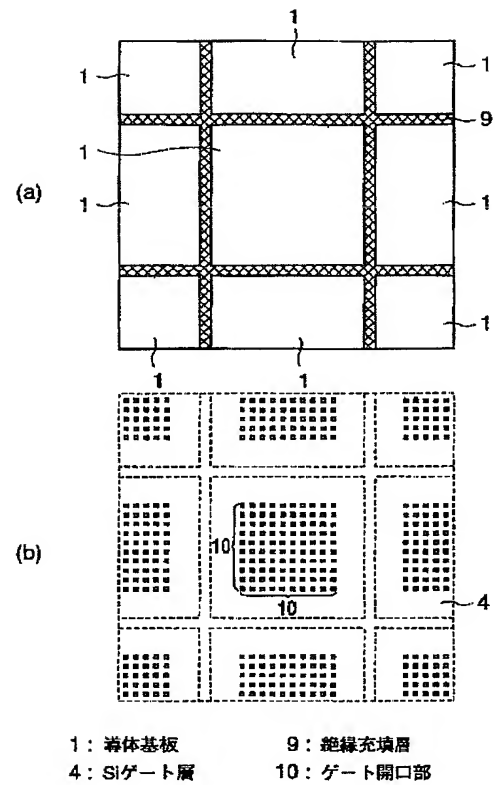
2b: 第3の溝

7: エミッタ導体層  
8: 接合導体層

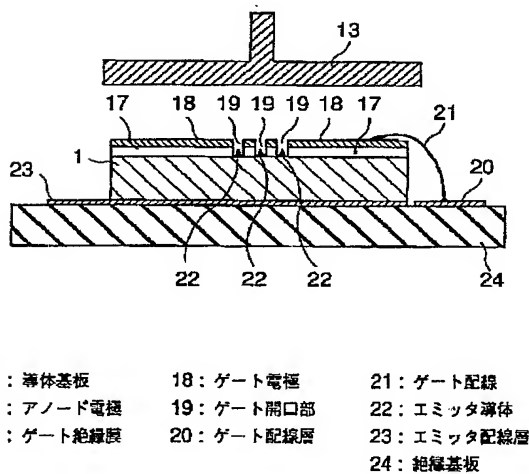
【図 3】



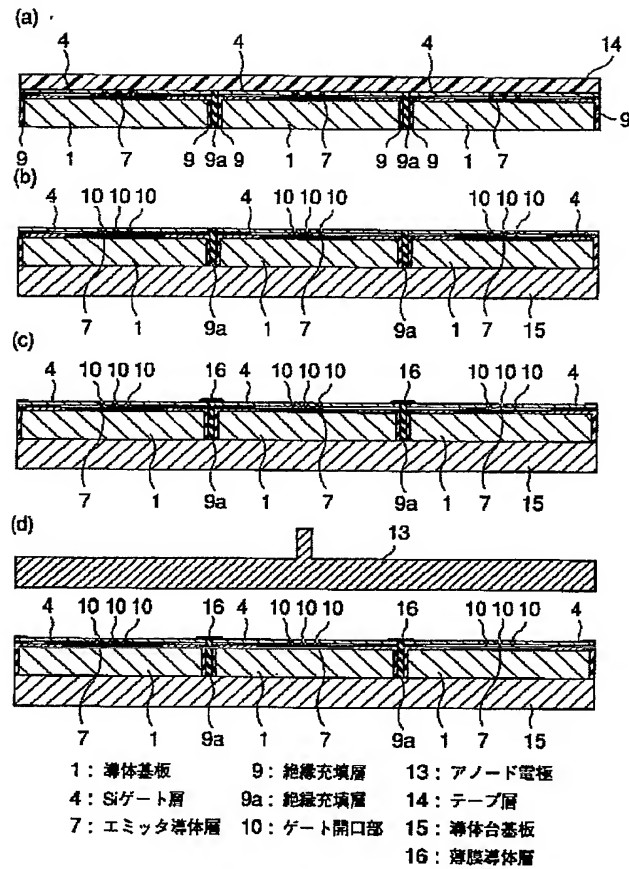
【図 4】



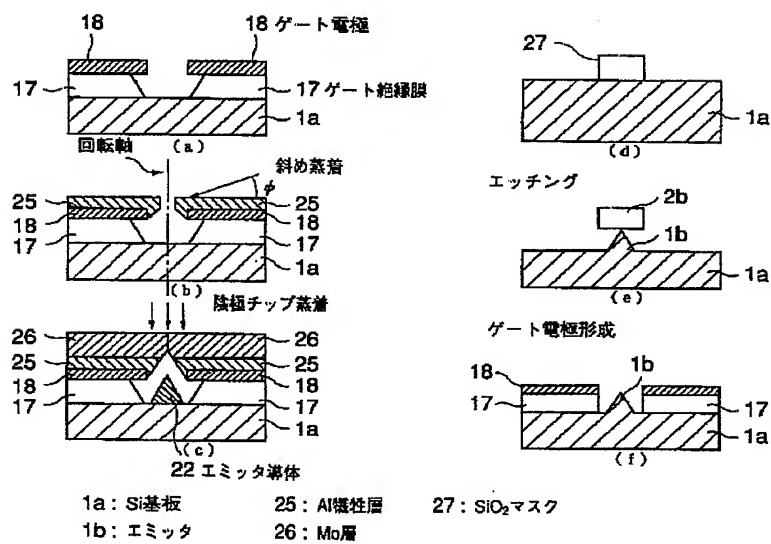
【図 6】



【図5】



【図7】



フロントページの続き

(72)発明者 中山 和也  
神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝研究開発センター内